

SJ

中华人民共和国电子行业军用标准

FL 5999

SJ 20928—2005

陶瓷无引线片式载体详细规范

Detail specification for ceramic leadless chip carrier



060913000041

2005-06-28 发布

2005-12-01 实施

中华人民共和国信息产业部 批准

前 言

本规范是 GJB 1420A—1999《半导体集成电路外壳总规范》的相关详细规范。

本规范由中华人民共和国信息产业部提出。

本规范由信息产业部电子第四研究所归口。

本规范起草单位：江苏省宜兴电子器件总厂。

本规范主要起草人：周海翔，吴咏生，汤纪南。

陶瓷无引线片式载体详细规范

1 范围

本规范规定了陶瓷无引线片式载体（以下简称载体）的详细要求。

2 引用文件

下列文件中的有关条款通过引用而成为本规范的条款。凡注日期或版次的引用文件，其后的任何修改单（不包括勘误的内容）或修订版本都不适用于本规范，但提倡使用本规范的各方探讨使用其最新版本的可能性。凡不注日期或版次的引用文件，其最新版本适用于本规范。

GB 7092—1993 半导体集成电路外形尺寸

GJB 1420A—1999 半导体集成电路外壳总规范

3 要求

3.1 总则

载体应符合本规范和 GJB 1420A—1999 规定的所有要求。本规范和 GJB 1420A—1999 不一致时应以本规范为准。

3.2 材料和镀覆

3.2.1 材料

3.2.1.1 底座采用氧化铝陶瓷，其氧化铝的含量应不低于 90%。

3.2.1.2 盖板采用 4J42 铁镍合金，其要求应符合 GJB 1420A—1999 中 3.4.1b) 的规定。

3.2.1.3 底座上的封接环采用 4J42 铁镍合金，其要求应符合 GJB 1420A—1999 中 3.4.1b) 的规定。

3.2.2 镀覆

3.2.2.1 镀镍层的厚度应为 $1.3\ \mu\text{m}\sim 8.9\ \mu\text{m}$ 。

3.2.2.2 键合区和芯片粘接区金层厚度应不小于 $0.8\ \mu\text{m}$ 。密封区和接触区金层厚度应不小于 $1.3\ \mu\text{m}$ ，可采用多层镍和金镀覆结构。

3.2.2.3 镀金工艺中所用金的纯度应不低于 99.9%。

3.3 设计、结构和外形

3.3.1 载体的设计和结构应符合 GJB 1420A—1999 中 3.5 的规定。

3.3.2 长方形和正方形载体的底座结构见图 1，双列形载体的底座结构见图 2。

3.3.3 盖板结构见图 3。

3.3.4 载体的外形尺寸应符合 GB 7092—1993 的规定及供需双方确认的图纸的要求。